

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-186183

(43)Date of publication of application : 16.07.1996

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 06-328631

(71)Applicant : SONY CORP

(22)Date of filing : 28.12.1994

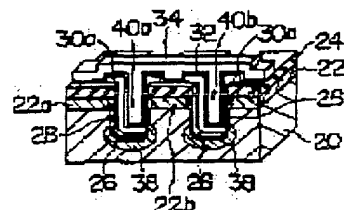
(72)Inventor : NISHIHARA TOSHIYUKI

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a non-volatile semiconductor memory device which can effectively and simultaneously prevent the punch through between memory cell transistors and that between wiring layers consisted of an impurity diffusion layer and further can be miniaturized and its manufacturing method.

CONSTITUTION: A non-volatile semiconductor memory device is provided with a semiconductor substrate 20 where a plurality of stripe-shaped trenches 26 are formed at a specific space, impurity diffusion layers 22a, 22b, and 22c which are formed nearly in parallel with the trench 26 on the surface of the semiconductor substrate between the trenches 26, and a control gate 34 which is extended in a direction nearly crossing the impurity diffusion layer through an insulation layer 24 on the impurity diffusion layer. Memory cell transistors 40a and 40b are formed at a part where the control gate 34 enters the trench 26. The memory cell transistors have a floating gate 30a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-186183

(43) 公開日 平成8年(1996)7月16日

(51) Int.Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数14 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-328631

(22) 出願日 平成6年(1994)12月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

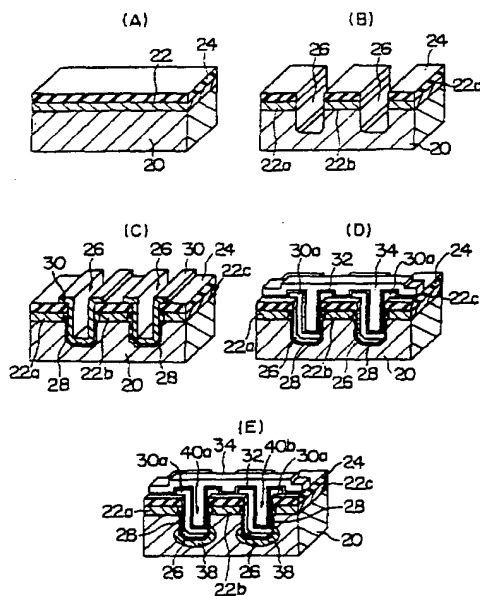
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 不揮発性半導体メモリ装置およびその製造方法

(57) 【要約】

【目的】 メモリセルトランジスタ間のバンチスルーおよび不純物拡散層で構成される配線層間のバンチスルーを同時に効果的に防止し、しかも、さらに微細化を図ることができる不揮発性半導体メモリ装置およびその製造方法を提供すること。

【構成】 ストライプ状のトレンチ26が所定間隔で複数形成された半導体基板20と、トレンチ26間に挟まれた半導体基板の表面にトレンチ26と略平行に形成してある不純物拡散層22a、22b、22cと、不純物拡散層の上に、絶縁層24を介して、不純物拡散層と略直交する方向に伸びるコントロールゲート34とを有する不揮発性半導体メモリ装置。コントロールゲート34がトレンチ26内に入り込む部分で、メモリセルトランジスタ40a、40bが形成される。メモリセルトランジスタは、フローティングゲート30aを有する。



【特許請求の範囲】

【請求項 1】 ストライプ状のトレンチが所定間隔で複数形成された半導体基板と、

前記トレンチ間に挟まれた半導体基板の表面に前記トレンチと略平行に形成してある不純物拡散層と、

前記不純物拡散層の上に、絶縁層を介して、前記不純物拡散層と略直交する方向に伸びるコントロールゲートとを有し、

前記コントロールゲートが前記トレンチ内に入り込む部分で、メモリセルトランジスタが形成される不揮発性半導体メモリ装置。

【請求項 2】 前記トレンチの内部には、ゲート絶縁膜を介して、フローティングゲートが形成してあり、このフローティングゲートの上に、中間絶縁膜を介して前記コントロールゲートが形成してある請求項 1 に記載の不揮発性半導体メモリ装置。

【請求項 3】 前記トレンチの内周面には、メモリ用絶縁膜が形成してあり、そのメモリ用絶縁膜の上にコントロールゲートが積層してある請求項 2 に記載の不揮発性半導体メモリ装置。

【請求項 4】 前記メモリ用絶縁膜が電荷の蓄積および放出が可能な膜である請求項 3 に記載の不揮発性半導体メモリ装置。

【請求項 5】 前記メモリ用絶縁膜が強誘電体薄膜である請求項 3 に記載の不揮発性半導体メモリ装置。

【請求項 6】 前記トレンチの側壁の一方にのみ、前記不純物拡散層と同じ導電型で不純物濃度が高い領域が、不純物拡散層のトレンチ側壁下側に形成してある請求項 1～5 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 7】 前記トレンチの一方の側壁に面する不純物拡散層部分が、他方の側壁に面する不純物拡散層部分の不純物濃度よりも高く成るように、前記トレンチで分離された不純物拡散層が、トレンチ方向に伸びる低濃度不純物拡散層部分と、この低濃度不純物拡散層部分に隣接し且つ平行に形成される高濃度不純物拡散層部分とで構成される請求項 1～5 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 8】 前記コントロールゲートが形成されていないトレンチの底部には、前記不純物拡散層と反対の導電型の配線間分離用不純物拡散層が形成してある請求項 1～7 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 9】 前記不純物拡散層の導電型が N 型である請求項 1～8 のいずれかに記載の不揮発性半導体メモリ装置。

【請求項 10】 半導体基板のメモリセル領域の全面に、不純物拡散層を形成する工程と、

その後、半導体基板のメモリセル領域に、前記不純物拡散層を分離する深さで、ストライプ状のトレンチを所定間隔で複数形成する工程と、

前記不純物拡散層の上に、絶縁層を介して、前記不純物

拡散層と略直交する方向にコントロールゲートを形成し、前記コントロールゲートが前記トレンチ内に入り込む部分で、メモリセルトランジスタを形成する工程とを有する不揮発性半導体メモリ装置の製造方法。

【請求項 11】 前記コントロールゲートをマスクとして、メモリセルトランジスタが形成される部分以外の前記トレンチ底部に、前記コントロールゲートおよびトレンチに対して自己整合的に、配線間分離用不純物拡散層を形成する工程をさらに有する請求項 10 に記載の不揮発性半導体メモリ装置の製造方法。

【請求項 12】 前記トレンチの内部には、ゲート絶縁膜を介して、フローティングゲートを形成し、このフローティングゲートの上に、中間絶縁膜を介して前記コントロールゲートを形成することを特徴する請求項 10 または 11 に記載の不揮発性半導体メモリ装置の製造方法。

【請求項 13】 前記トレンチの側壁の一方にのみ、前記不純物拡散層と同じ導電型で不純物濃度が高い領域を、斜めイオン注入法により、不純物拡散層のトレンチ側壁下側に形成することを特徴とする請求項 10～12 のいずれかに記載の不揮発性半導体メモリ装置の製造方法。

【請求項 14】 前記トレンチの一方の側壁に面する不純物拡散層部分が、他方の側壁に面する不純物拡散層部分の不純物濃度よりも高く成るように、前記トレンチで分離された不純物拡散層を、トレンチ方向に伸びる低濃度不純物拡散層部分と、この低濃度不純物拡散層部分に隣接し且つ平行に形成される高濃度不純物拡散層部分とで構成する請求項 10～12 のいずれかに記載の不揮発性半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性半導体メモリ装置に係り、さらに詳しくは、メモリセルトランジスタ間のバンチスルーおよび不純物拡散層で構成される配線層間のバンチスルーを同時に効果的に防止し得る不揮発性半導体メモリ装置に関する。

【0002】

【従来の技術】近年、携帯用情報端末機器の普及および発展に伴って、その外部記憶装置として、大容量フラッシュメモリの必要性が高まっている。ところで、フラッシュメモリのメモリセルサイズを縮小するため、ソース・ドレイン領域の配線として、基板への不純物拡散層を用いる方法が提案されている。この方法を採用した不揮発性半導体メモリ装置の要部断面斜視図と要部平面図とを、それぞれ図 5、6 に示す。

【0003】図 5、6 に示すように、この不揮発性半導体メモリ装置では、半導体基板 2 の表面に、ストライプ状に、N 型不純物拡散層 4 を形成し、この不純物拡散層 4 をメモリ装置のビット線またはソース線として用い

る。不純物拡散層4の上には、同じくストライプ状に酸化シリコン膜6が形成してある。酸化シリコン膜6間に位置する半導体基板2の表面には、ゲート絶縁膜8が成膜してあり、その上に、フローティングゲート10が行列状に形成してある。

【0004】フローティングゲート10の上には、中間絶縁膜12を介して、コントロールゲート14が不純物拡散層4の長手方向と略直交するように、所定間隔でストライプ状に形成してある。コントロールゲート14間に位置する半導体基板2のゲート絶縁膜8直下の表面には、拡散層4、4間の配線分離を行うための分離用不純物拡散層13が形成してある。この分離用不純物拡散層13の導電型は、P型である。この分離用不純物拡散層13の平面側パターンは、図6に示す斜線部のパターンである。

【0005】各メモリセルトランジスタのチャネルは、各フローティングゲート10毎に、その直下に位置するゲート絶縁膜8直下の半導体基板2の表面に形成される。このような構造の不揮発性半導体メモリ装置では、メモリセル内にビット線用コンタクトを形成する必要がなく、メモリセル面積を、通常のフローティングゲートを有する不揮発性半導体メモリ装置に比較して、約30%以上縮小することができる。

【0006】

【発明が解決しようとする課題】ところが、このような最近提案されている不揮発性半導体メモリ装置では、ビット線またはソース線となる不純物拡散層4、4間の配線分離を、フィールド酸化膜ではなく、イオン打ち込み法により形成された分離用不純物拡散層13のみで行っている。このため、セル面積の縮小が容易になる一方、デザインルールが微細化すると、不純物拡散層4、4間バンチスルーが発生してしまうと言う課題があった。

【0007】特に、不純物拡散層4の上に、熱酸化法により酸化シリコン膜6を成長させる過程で、不純物拡散層4の不純物は増速拡散をうけて、メモリセルトランジスタのチャネル方向や基板方向に広がってしまう。そのため、上記の課題がさらに増長されるのみでなく、メモリセルトランジスタ間においても、バンチスルーが生じるおそれがある。

【0008】本発明は、このような実状に鑑みてなされ、メモリセルトランジスタ間のバンチスルーおよび不純物拡散層で構成される配線層間のバンチスルーを同時に効果的に防止し、しかも、さらに微細化を図ることができる不揮発性半導体メモリ装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明に係る不揮発性半導体メモリ装置は、ストライプ状のトレンチが所定間隔で複数形成された半導体基板と、前記トレンチ間に挟まれた半導体基板の表面に前

記トレンチと略平行に形成してある不純物拡散層と、前記不純物拡散層の上に、絶縁層を介して、前記不純物拡散層と略直交する方向に伸びるコントロールゲートとを有し、前記コントロールゲートが前記トレンチ内に入り込む部分で、メモリセルトランジスタが形成されることを特徴とする。

【0010】前記トレンチの内部には、ゲート絶縁膜を介して、フローティングゲートが形成してあり、このフローティングゲートの上に、中間絶縁膜を介して前記コントロールゲートが形成してあることが好ましい。前記トレンチの内周面には、メモリ用絶縁膜が形成してあり、そのメモリ用絶縁膜の上にコントロールゲートを形成しても良い。

【0011】前記メモリ用絶縁膜は電荷の蓄積および放出が可能な膜で構成することができる。このような膜としては、窒素を含む絶縁膜を例示することができ、具体的には、ONO膜($\text{SiO}_2/\text{SiN}/\text{SiO}_2$)、ON膜(SiN/SiO_2)、SiN膜などを例示することができる。

【0012】前記メモリ用絶縁膜は、強誘電体薄膜で構成することもできる。前記トレンチの側壁の一方にのみ、前記不純物拡散層と同じ導電型で不純物濃度が高い領域が、不純物拡散層のトレンチ側壁下側に形成してあることが好ましい。

【0013】前記トレンチの一方の側壁に面する不純物拡散層部分が、他方の側壁に面する不純物拡散層部分の不純物濃度よりも高く成るように、前記トレンチで分離された不純物拡散層を、トレンチ方向に伸びる低濃度不純物拡散層部分と、この低濃度不純物拡散層部分に隣接し且つ平行に形成される高濃度不純物拡散層部分とで構成することもできる。

【0014】前記コントロールゲートが形成されていないトレンチの底部には、前記不純物拡散層と反対の導電型の配線間分離用不純物拡散層が形成してあることが好ましい。前記不純物拡散層の導電型は、好ましくはN型である。

【0015】本発明に係る不揮発性半導体メモリ装置の製造方法は、半導体基板のメモリセル領域の全面に、不純物拡散層を形成する工程と、その後、半導体基板のメモリセル領域に、前記不純物拡散層を分離する深さで、ストライプ状のトレンチを所定間隔で複数形成する工程と、前記不純物拡散層の上に、絶縁層を介して、前記不純物拡散層と略直交する方向にコントロールゲートを形成し、前記コントロールゲートが前記トレンチ内に入り込む部分で、メモリセルトランジスタを形成する工程とを有する。

【0016】前記コントロールゲートをマスクとして、メモリセルトランジスタが形成される部分以外の前記トレンチ底部に、前記コントロールゲートおよびトレンチに対して自己整合的に、配線間分離用不純物拡散層を形

成する工程をさらに有することが好ましい。

【0017】前記トレンチの内部には、ゲート絶縁膜を介して、フローティングゲートを形成し、このフローティングゲートの上に、中間絶縁膜を介して前記コントロールゲートを形成することが好ましい。前記トレンチの側壁の一方にのみ、前記不純物拡散層と同じ導電型で不純物濃度が高い領域を、斜めイオン注入法により、不純物拡散層のトレンチ側壁下側に形成することが好ましい。

【0018】前記トレンチの一方の側壁に面する不純物拡散層部分が、他方の側壁に面する不純物拡散層部分の不純物濃度よりも高く成るように、前記トレンチで分離された不純物拡散層を、トレンチ方向に伸びる低濃度不純物拡散層部分と、この低濃度不純物拡散層部分に隣接し且つ平行に形成される高濃度不純物拡散層部分とで構成することもできる。

【0019】

【作用】本発明に係る不揮発性半導体メモリ装置では、半導体基板の表面に形成されたストライプ状の不純物拡散層を、ビット線またはソース線として用いた構造であるので、メモリセルトランジスタ毎に、ビット線コンタクトのためのコンタクトが不要となり、メモリセルの縮小が実現される。また、本発明では、メモリセルトランジスタをトレンチ内に形成するので、この点でもメモリセルの縮小が容易になる。

【0020】また、本発明に係る不揮発性半導体メモリ装置では、ビット線またはソース線となる不純物拡散層が、トレンチにより分離された形となるので、これらの間の配線分離が確実となり、拡散層間でのパンチスルーを確実に防止することができる。さらに、メモリセルトランジスタ間のパンチスルーも効果的に防止することができる。

【0021】コントロールゲートが形成されていないトレンチの底部に、不純物拡散層と反対の導電型の配線間分離用不純物拡散層を形成すれば、拡散層間のパンチスルー防止およびメモリセルトランジスタ間のパンチスルー防止の作用が向上する。トレンチの側壁の一方にのみ、不純物拡散層と同じ導電型で不純物濃度が高い領域を、不純物拡散層のトレンチ側壁下側に形成すれば、仮想接地方式によるデータ書き込みの際に、書き込み対象となるメモリセルトランジスタのドレイン近傍にのみ選択的に高電界を発生させることができる。したがって、隣接するメモリセルトランジスタへ誤書き込みすることなく、目的とするメモリセルトランジスタへデータの書き込みを行うことができる。

【0022】また、同様な作用は、トレンチで分離された不純物拡散層を、トレンチ方向に伸びる低濃度不純物拡散層部分と、この低濃度不純物拡散層部分に隣接し且つ平行に形成される高濃度不純物拡散層部分とで構成することでも得られる。本発明に係る不揮発性半導体メモリ装置の製造方法では、上記の構造を有する不揮発性半導体メモリ装置を比較的シンプルな製造プロセスで製造することができる。

【0023】

【実施例】以下、本発明に係る不揮発性半導体メモリ装置およびその製造方法を、図面に示す実施例に基づき、詳細に説明する。

第1実施例

図1、2に示す本発明の一実施例に係る不揮発性半導体メモリ装置を製造するには、まず図1(A)に示すように、半導体基板20を準備する。半導体基板20としては、単結晶シリコン基板が用いられる。半導体基板20の導電型は、P型およびN型のいずれでも良い。ただし、メモリセルトランジスタをN型MOSトランジスタで構成する場合には、メモリセル領域の基板表面がP型となるように、P型基板あるいはN型基板にPウェルが形成してあるものを用いる。

【0024】半導体基板20のメモリセル領域の全面に、イオン注入法により、AsなどのN型不純物を導入し、N型の不純物拡散層22を形成する。不純物拡散層22の表面には、熱酸化とCVDなどにより、基板の表面に酸化シリコン膜などの絶縁膜24を成膜する。絶縁膜24の膜厚は、特に限定されないが、たとえば50～200nm程度である。

【0025】次に、絶縁膜24および不純物拡散層22が形成された半導体基板20の表面に、トレンチ26をストライプ状に所定間隔で形成し、不純物拡散層22を、ストライプ状の不純物拡散層22a、22b、22c…に分離する。トレンチ26の溝幅および深さは、特に限定されないが、たとえば溝幅は、200～500nm程度であり、溝深さは、少なくとも不純物拡散層22を分離できる深さであり、たとえば200～500nmとする。分離された不純物拡散層22a、22b、22cがメモリ装置のビット線またはソース線となる。

【0026】次に、図1(C)に示すように、熱処理後ゲート酸化を行い、トレンチ26内の内周面に、ゲート絶縁膜28を成膜する。ゲート絶縁膜28の膜厚は、特に限定されないが、たとえば10nm程度である。次に、このゲート絶縁膜28の上に、フローティングゲートと成る第1導電層30を成膜する。この第1導電層30は、たとえばリンを導入したポリシリコンで構成され、その膜厚は、たとえば50～200nmである。この第1導電層30は、CVDなどで成膜されるが、成膜後に、トレンチ方向にエッチング加工される。

【0027】次に、図1(D)に示すように、全面に中間絶縁膜32を成膜した後、コントロールゲート34と成る第2導電層を成膜する。中間絶縁膜32は、たとえばONO膜($\text{SiO}_2/\text{SiN}/\text{SiO}_2$)または下層酸化膜のない二層膜(SiN/SiO_2)などで構成される。ONO膜を成膜するには、第1導電層30の表面

を熱酸化し、14nm以下程度の酸化膜を成膜し、その熱酸化膜上に、約11nm以下程度の窒化シリコン膜をCVD法などで成膜し、その表面を熱酸化して、約2nm以下程度の酸化膜を形成する。このような工程により、三層構造のONO膜を形成することができる。このONO膜は、低リーク電流で膜厚制御性に優れている。このONO膜の膜厚は、酸化シリコン膜換算で、22nm以下程度である。

【0028】コントロールゲート34となる第2導電層としては、特に限定されないが、たとえばポリシリコン膜とシリサイド膜との積層膜であるポリサイド膜で構成される。この第2導電層は、トレンチ26の長手方向と略直角方向に所定間隔でRIE（反応性イオンエッチング）などでエッチング加工し、コントロールゲート34を形成する。そのエッチングに引き続き、コントロールゲート34のパターンで、中間絶縁膜32および第1導電層30もエッチング加工し、トレンチ26内にフローティングゲート30aを形成する。なお、コントロールゲート34は、メモリ装置のワード線を兼ねる。

【0029】次に、図1(E)に示すように、コントロールゲート34をマスクとして、イオン注入を行い、コントロールゲートが形成されていないトレンチ26の底部に、不純物拡散層22と反対の導電型の配線間分離用不純物拡散層38を形成する。イオン注入に用いる不純物としては、たとえばP型の不純物であるボロンが用いられる。イオン注入の条件としては、特に限定されないが、たとえば20~50KeVの注入エネルギーで、ドーズ量が $1 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ 程度である。

【0030】このようにして形成された配線間分離用不純物拡散層38は、拡散層22a、22b、22c間の配線分離を補強すると共に、トレンチ26方向のメモリの素子分離を補強する。配線間分離用不純物拡散層38のパターンは、図2に示す斜線部分で示される。

【0031】なお、図1、2では省略してあるが、コントロールゲート34の上には、層間絶縁膜を介して、不純物拡散層22a、22b、22cの抵抗を下げるためのシャント用金属配線層が、これら拡散層と平行に設け、所定のセル毎に、金属配線層と、拡散層とをコンタクトを通して接続することが好ましい。

【0032】以上の製造プロセスで製造された本実施例に係る不揮発性半導体メモリ装置では、コントロールゲート34とトレンチ26との交点部分に位置するトレンチ26の内部にメモリセルトランジスタ40a、40b…が形成される。本実施例では、ビット線またはソース線となる不純物拡散層22a、22b、22cで構成される配線が、トレンチ26により分離されており、大きな実効分離幅を有している。さらに、メモリセルトランジスタ40a、40b…がトレンチ内に形成されており、トレンチ26の長手方向と直角方向にトレンチ26に沿って大きな実効チャネル長を有している。すなわ

ち、本実施例に係る構造を採用することで、メモリセルトランジスタのバンチスルーと配線間のバンチスルーとを同時に防止することができる。

【0033】第2実施例

本発明の第2の実施例に係る不揮発性半導体メモリ装置は、アクセスするメモリセルに応じて同一の配線（ストライプ状の不純物拡散層）が、ビット線とソース線とに使い分けされる、いわゆる「仮想接地方式」を用いた不揮発性半導体メモリ装置に関する。

【0034】以下、本実施例に係る不揮発性半導体メモリ装置について説明するが、前記第1実施例の不揮発性半導体メモリ装置と共通する部材には、共通する符号を付し、その重複する説明は、一部省略する。仮想接地方式の不揮発性半導体メモリ装置では、たとえば図3

(B)に示すメモリセルトランジスタ40aにデータを書き込む際には、不純物拡散層22aで構成された配線を高電位にし、不純物拡散層22b、22cで構成される配線1層を接地電位に固定する。一方、メモリセルトランジスタ40bにデータを書き込む際には、不純物拡散層22bで構成される配線を高電位に設定し、不純物拡散層22a、22cで構成される配線を接地電位に固定する。

【0035】そこで、本実施例では、以下に示す構造および製造方法を採用することにより、隣接するメモリセルトランジスタへの誤書き込みを防止している。すなわち、図3(A)に示すように、半導体基板20の表面に、トレンチ26を形成した後、トレンチ26と直交する方向であって、45~60度の傾きの斜め方向から、イオン注入を行う。その結果、トレンチ26の側壁の一方にのみ、不純物拡散層22a、22b、22cと同じ導電型で不純物濃度が高い高濃度領域42を、不純物拡散層22a、22b、22cのトレンチ側壁下側に形成する。その高濃度領域を形成するためのイオン注入条件としては、特に限定されないが、不純物として、リンを用いた場合に、10~30KeVの注入エネルギー、 $1 \times 10^{15} \sim 5 \times 10^{15} / \text{cm}^2$ のドーズ量の条件である。

【0036】その後の工程は、図1に示す第1実施例の場合と同様である。そのプロセスの結果、作製された不揮発性半導体メモリ装置の要部断面斜視図を図3(B)に示す。コントロールゲート34とトレンチ26との交点部に位置するトレンチ26内にメモリセルトランジスタ40a、40bが形成されるのは、図1に示す場合と同様である。

【0037】本実施例に係る不揮発性半導体メモリ装置では、高濃度領域42が、それぞれメモリセルトランジスタ40a、40bへのデータの書き込みの際、書き込み対象となるトランジスタのドレイン近傍のみに選択的に高電界を発生させ、ホットキャリアによるデータの書き込みを可能にする。それによって、たとえば拡散層

22bを高電位、拡散層22a、22cを接地電位にした時には、メモリセルトランジスタ40aに誤書き込みすることなく、メモリセルトランジスタ40bにデータを書き込むことができる。

【0038】その他の作用は、前記第1実施例と同様である。

第3実施例

本発明の第3の実施例に係る不揮発性半導体メモリ装置も、いわゆる「仮想接地方式」を用いた不揮発性半導体メモリ装置に関する。

【0039】以下、本実施例に係る不揮発性半導体メモリ装置について説明するが、前記第1実施例の不揮発性半導体メモリ装置と共通する部材には、共通する符号を付し、その重複する説明は、一部省略する。本実施例では、図4に示すように、トレンチ26で分離された不純物拡散層48a、48b、48c…を、それぞれ、トレンチ方向に伸びる低濃度不純物拡散層部分44と、この低濃度不純物拡散層部分44に隣接し且つ平行に形成される高濃度不純物拡散層部分46とで構成する。これら不純物拡散層部分44、46は、同じ導電型であり、たとえばN型で構成される。

【0040】不純物濃度が相違する拡散層部分44、46をストライプ状に形成するには、たとえば図1(A)に示す工程で、イオン注入工程を少なくとも二回行い、拡散層部分44、46をストライプ状に形成する。その後、トレンチを形成する。これらの結果、トレンチ26の一方の側壁に面する不純物拡散層部分46が、他方の側壁に面する不純物拡散層部分44の不純物濃度よりも高く成る。

【0041】この構造を採用することにより、高濃度不純物拡散層部分46のジャンクション近傍に加わる電界が選択的に強くなる。したがって、不純物拡散層48bを高電位、拡散層46a、46cを接地電位にした時には、メモリセルトランジスタ40aに誤書き込みすることなく、メモリセルトランジスタ40bにデータを書き込むことができる。

【0042】その他の作用は、前記第1実施例と同様である。なお、本発明は、上述した実施例に限定されるものではなく、本発明の範囲内で種々に改変することができる。たとえば、上記実施例では、トレンチ内に設けられるメモリセルトランジスタを、フローティングゲートを有するダブルゲート型としたが、本発明は、これに限定されず、たとえばONO膜あるいはON膜あるいはSiN膜をメモリ膜として有するMONOS型、MONS型、MNS型のシングルゲート型のメモリセルとしてもよい。または、分極状態のヒステリシスを持つ強誘電体薄膜をメモリ膜として有する構造のメモリセルトランジスタであってもよい。

【0043】

【発明の効果】以上説明してきたように、本発明によれ

ば、半導体基板の表面に形成されたストライプ状の不純物拡散層を、ビット線またはソース線として用いた構造であるので、メモリセルトランジスタ毎に、ビット線コンタクトのためのコンタクトが不要となり、メモリセルの縮小が実現される。また、本発明では、メモリセルトランジスタをトレンチ内に形成するので、この点でもメモリセルの縮小が容易になる。

【0044】また、本発明に係る不揮発性半導体メモリ装置では、ビット線またはソース線となる不純物拡散層が、トレンチにより分離された形となるので、これらの間の配線分離が確実となり、拡散層間でのパンチスルーを確実に防止することができる。さらに、メモリセルトランジスタ間のパンチスルーも効果的に防止することができる。

【0045】コントロールゲートが形成されていないトレンチの底部に、不純物拡散層と反対の導電型の配線間分離用不純物拡散層を形成すれば、拡散層間のパンチスルー防止およびメモリセルトランジスタ間のパンチスルー防止の効果が向上する。トレンチの側壁の一方にのみ、不純物拡散層と同じ導電型で不純物濃度が高い領域を、不純物拡散層のトレンチ側壁下側に形成すれば、仮想接地方式によるデータ書き込みの際に、書き込み対象となるメモリセルトランジスタのドレイン近傍にのみ選択的に高電界を発生させることができる。したがって、隣接するメモリセルトランジスタへ誤書き込みすることなく、目的とするメモリセルトランジスタへデータの書き込みを行うことができる。

【0046】また、同様な効果は、トレンチで分離された不純物拡散層を、トレンチ方向に伸びる低濃度不純物拡散層部分と、この低濃度不純物拡散層部分に隣接し且つ平行に形成される高濃度不純物拡散層部分とで構成することも得られる。本発明に係る不揮発性半導体メモリ装置の製造方法では、上記の構造を有する不揮発性半導体メモリ装置を比較的シンプルな製造プロセスで製造することができる。

【図面の簡単な説明】

【図1】図1(A)～(E)は本発明の一実施例に係る不揮発性半導体メモリ装置の製造過程を示す要部断面斜視図である。

【図2】図2は図1に示す製造プロセスで得られた不揮発性半導体メモリ装置の要部平面図である。

【図3】図3(A)、(B)は本発明のその他の実施例に係る不揮発性半導体メモリ装置の製造過程を示す要部断面斜視図である。

【図4】図4は本発明のさらにその他の実施例に係る不揮発性半導体メモリ装置の要部断面斜視図である。

【図5】図5は従来例に係る不揮発性半導体メモリ装置の要部断面斜視図である。

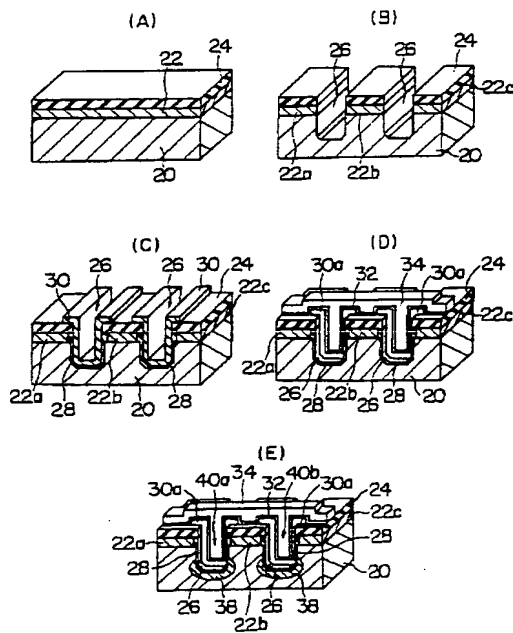
【図6】図6は図5に示す従来例に係る不揮発性半導体メモリ装置の要部平面図である。

【符号の説明】

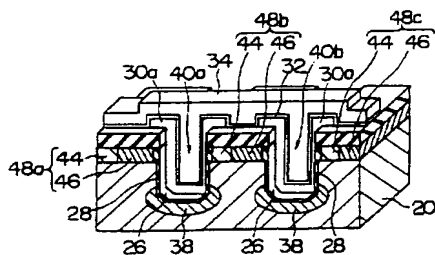
20… 半導体基板
 22… 不純物拡散層
 22a, 22b, 22c, 48a, 48b, 48c…
 不純物拡散層
 24… 絶縁膜
 26… トレンチ
 28… ゲート絶縁膜
 30… 第1導電層

*

【図1】

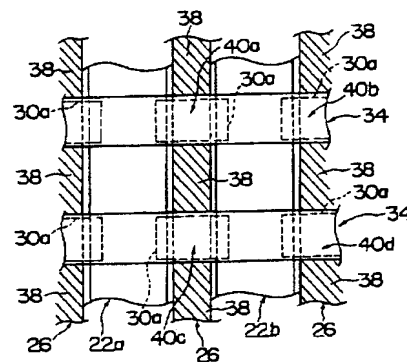


【図4】

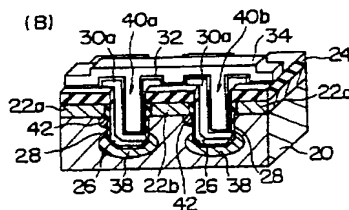
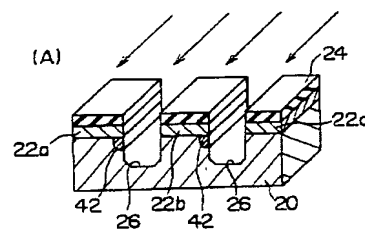


* 30a… フローティングゲート
 32… 中間絶縁膜
 34… コントロールゲート（ワード線）
 38… 配線間分離用不純物拡散層
 40a, 40b… メモリセルトランジスタ
 42… 高濃度領域
 44… 低濃度不純物拡散層部分
 46… 高濃度不純物拡散層部分

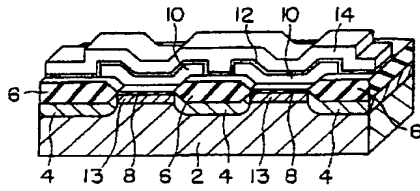
【図2】



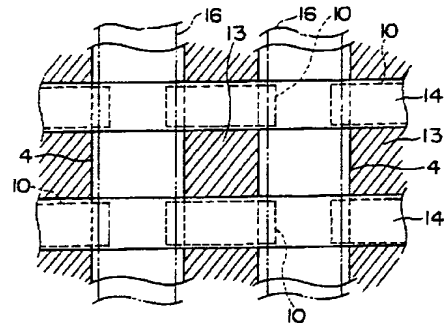
【図3】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.⁵
H01L 27/115

識別記号 片内整理番号

F I

技術表示箇所